

# 肩がこらない 半導体よもやま話

経済産業省が 2022 年 11 月に「2 nm プロセス以下の次世代半導体の研究開発プロジェクトの委託先を、Rapidus (ラピダス) に決定した」と発表した。のっけから水を差す話で恐縮ながら、月にも行っていないのに火星を目指すかのごとき計画には大きな疑問が残る。日本人として Rapidus には成功してほしいものの、本文を眺めてもらって疑問に至るわけがなんとなく分かってもらえれば幸いである。

火星旅行の前に取り組むべき次の市場は、三次元集積システムである。これは筆者らが開発した BBCube<sup>脚注 1</sup> を中心に様々な機会ですべて述べてきた<sup>1) 2)</sup>。簡単に言うならばパッケージに入れる前に複数のチップを密着して三次元化する技術である。ではなぜ三次元製品が主役になるか理由を考えてみたい。結論は、B2B 市場が Turnkey-Solution、つまりスイッチを押せば瞬時に高い性能が出る製品に重心を移したからである。車を買う時に、タイヤやエンジン、ボディーがばらばらだったら困る事情と同じくして (オタクな方を除き)、DRAM や CPU などシステムの部品一式を高い性能でまとめて提供してくれたらなーといったニーズである。電子機器は、コンパクトにすればするほど性能が上がるので、要は、部品の小型化、微細化、部品と部品をつなぐ配線を限りなく短くすることになる。手前みそながら BBCube はその究極の姿である。

とはいえ魔法のようなモノづくりはないので、やはりある程度半導体の事情をかみ砕かないとわかりにくいかもしれない。それでは、なぜ半導体産業は微細化に鎬を削っているのだろうか。答えは、性能とコストの両輪を満足させるためである。それはインテルの Moore の法則<sup>3)</sup> (18 ヶ月で集積度が 2 倍) に従っているから風の話が定着している。でも Moore が提唱した内容を法則と呼ぶことに少々違和感を覚える。トランジスタの性能が微細化に合わせて向上することを初めて物理表現したのは、Moore の提唱から 9 年後 1974 年 IBM の Dennard である<sup>4)</sup>。Moore は、自社のビジネス戦略として進化のさせ方を時間軸で表現した予定調和律で、経験則とした方が腑に落ちる。そうは言うものの、Moore の法則に加えて More Moore や Beyond Moore という言葉が産業界の合言葉になったので、今さら目くじら立てる必要はないだろう。法則であれ、経験則であれ、産業界に残した功績は絶大で、敬服に値する。半導体が今日の 200 兆円巨大産業になれたのは、設計、微細化、装置、材料など製造サプライチェーンすべての開発歩調が Moore の法則に同期してくれたからである。最近、設計とプロセス技術の呼吸を合わせる協調開発 (DTCO: Design-Technology Co-optimization) が流行ってきているが、振り返れば無意識の内に協調開発は Moore の時代から始まっていたと言える。

コスト低減の基本は、一枚のウエハから良品チップを何個製造できるかである。そのためウエハ径を大きく、同じ集積度でも小さいチップを如何に作るかを半世紀以上続けてきた。もちろん、100% の歩留まりを全員目指すわけである。そうは言っても、設計ミスから始まり、ゴミが邪魔してパターンニングできなかつたり、配線が切れたりといった、多くの欠陥を一つ一つつぶしながら歩留まりは改善されてきた。乱暴な表現ながら、最先端であれやっつることは同じで、ちょっとずつ微細化、そして改良、この繰り返しの連続である。ところがトランジスタの小型化に対し配線の微細化が追いつかなくなった。アルミ配線をトランジスタ端子 (S/D/G) のピッチに合わせると配線抵抗が高くなり、トランジスタ駆動に必要な電流供給ができなくなる。苦肉の策で屏風みたいな高アスペクト Al 配線にすると、垂直配線ができない、倒れ易い、思ったほど抵抗が低くならないなど課題が噴出した。このため多層配線構造にして電流の多い所は幅を広くし、微細な部分はそれに適したタングステン配線、そして銅のダマシン配線が開発された。その結果、先端では 14 階建ての多層配線が登場している。

先端の半導体プロセスでは、真っ新たなウエハから始まりチップになるまで、800 工程から 1000 工程必要である。各社の定義で工程数は多少変わるが、その膨大な工程から一つを取り出してみても、実に多くの先端技術が集約されている。特に半導体と絶縁体の界面状態に敏感なトランジスタ周りの成膜では、分析の検出限界に近い ppb ( $10^{-9}$ ) の清浄度で管理されている。今日の TEM 観察が光学顕微鏡並みに

簡便に使えるとは思ってもよらなかった。分析技術の進化が無かったら半導体の微細化は当の昔に諦めていただろう。いずれにしろ、一つの工程がこんな調子なので、1000 工程を同じ水準でつなぎ合わせるのは非常に骨が折れる作業である。

ナノメートル世代になると、工程間で許容されるバラツキは原子数個分になる。厄介なのは、原子一つ一つを観察しようとする量子論の不確定性原理でサイズが確定できなくなることである。四半世紀前は、ウエハ 100 枚単位の統計的性能/バラツキと欠陥の対応で、良し悪しを考えることができた。ナノ世代では、見えない欠陥の量がどんどん増えるため、圧倒的な物量、例えば 1000 枚単位の中の微妙なバラツキ変動を頼りに改良している。総ウエハ面積で単純外挿すると、分析感度は ppt ( $10^{-12}$ ) 以下になる。要は、膨大なコストと時間がかかるわりには歩留まりが上がらなくなり、おいそれと新技術を取り入れる余裕がなくなった。これがコストから見た微細化の限界と言える。こういった事情から、平面の集積度を上げる競争から、チップ積み上げて三次元にして実効トランジスタの数を増やす方向に舵が切られた。筆者らが開発した BBCube は、ウエハプロセス由来の COW<sup>訳注 2</sup> と WOW<sup>訳注 3</sup> を組み合わせた製造フレンドリーな三次元技術である。この内 BBCube 3D<sup>5)</sup> が実現する性能は原理的にどの方法よりも優れているので、ポスト微細化の大量生産の候補として期待している。

さて、冒頭で述べた疑問にうまく応えていたか不安ながら、膨大な経験知と実証を抜きには半導体のビクトリーシナリオは描けない。手順を踏みながら製造する考え方は何も半導体の業界が特殊というわけではなく、工業の常識である。世代から次の世代の微細化に対してはせいぜい一つ二つのチャレンジであるとしても、32 nm からショートカットして 2 nm 世代の製造をやるといわれたら、半導体主戦場で戦ったことのある世代は腰を抜かすはずである。6 世代もの「飛び級」はチャレンジではなく冒険である。つまり、月面着陸なしの火星旅行である。潤沢な資金を背景にしたとしても、膨大なノウハウが支配する半導体では歯が立たないことは後発の半導体事業で証明されている。そもそも半導体の巨額な投資回収は設備の減価償却が進み、数世代先まで継続することでバランスするので、2 nm の形ができたからと言っても投資回収が見込めない。一過性の国家プロジェクトとならないバックアッププランがしっかり設計されていることに期待する。

今年 94 歳で亡くなられた Moore 博士は、果たしてこの冒険をどう評するだろう、と思いつつ、ご冥福をお祈りします。

訳注 1 Bumpless Build Cube (BBCube) : 三次元積層された上下チップの接続配線にハンブを使わず TSV だけで配線し、キューブ状に作られたデバイス  
訳注 2 Chip-on-Wafer (COW) : チップをウエハ上に接合する技術。一般的にチップの接合は、樹脂材料でできた配線基板に対して行われており、それと区別するために「ウエハ上に (Chip-on-Wafer)」という表現が用いられている。チップをウエハ上に接合することにより、以降の半導体製造工程において、各種装置を用いた高精度な加工が行えるようになる  
訳注 3 Wafer-on-Wafer (WOW) : ウエハ上にウエハを接合する技術。COW と同様の技術であるが、多くのチップが形成されたウエハ同士を接合することにより、同時に多数のチップの積層ができ、COW よりも効率よい。ただしチップのサイズは同一である必要があるため、メモリ等同一チップを積層する場合に向く

## 文 献

- 1) 東京工業大学 : "Ohba Laboratory" <<http://www.wow.pi.titech.ac.jp/index.html>>, (accessed 2023-8-22) .
- 2) T. Ohba, K. Sakui, S. Sugatani, H. Ryoson, N. Chujo: *Electronics*, **236** (11) , 1 (2022) . <<https://doi.org/10.3390/electronics11020236>>, (accessed 2023-8-22) .
- 3) G. Moore: *Electronics* **38**, 114 (1965) .
- 4) R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, A. R. LeBlanc, *IEEE J. Solid-State Circuits*, **9** (5) , 256 (1974) .
- 5) N. Chujo, K. Sakui, S. Sugatani, H. Ryoson, T. Nakamura, T. Ohba, IEEE VLSI Symp., JFS4-4 (2023).

略 歴 1995年 東北大学大学院工学系研究科博士課程修了。工学博士。  
1984年 富士通株式会社  
2004年 東京大学特任教授  
2013年 東京工業大学特任教授 現職  
2018年 台湾國立交通大學（現在、陽明交通大學）客員教授 現職  
以後現在まで  
三次元積層集積技術および冷却技術など超低消費電力システムの研究開発に従事  
東京工業大学WOWアライアンスを主宰

