

チップレット革命： 半導体が迎える次のフェーズ

横浜国立大学 大学院 工学研究院 システムの創生部門 准教授
半導体量子集積エレクトロニクス研究センター 副センター長 いのうえ ふみひろ 井上 史大

次世代エッジコンピューティング、超分散グリーンコンピューティング等において、AI データセンターにて集約されたデータ処理を行うのはロジックデバイスである。現在のデジタル投資によるデータ処理量の爆発的増加により、データセンターは今後も指数関数的に増加すると予想されている。しかしそのデータセンターの電力消費量は膨大なものとなりつつあり、データセンターの電力消費量の60%を占めるロジックデバイスの高エネルギー効率化を推し進めることによって、消費電力を低減させることが急務となっている。それに加えAIを搭載したエッジ端末も純増傾向にあり、ロジックデバイスの低消費電力化は数多の民生品デバイスの低消費電力化、ひいてはデジタル基盤の最重要課題になりつつある。これらの研究開発動向と横浜国立大学での取り組みについて紹介する。



1 高エネルギー効率半導体の必要性

ロジックデバイスは今までテクノロジーノードが進むにつれて、素子が微細化し高集積化と共に低消費電力化も達成されてきた。一方でその製造に目を向けると、最先端性能を備えたAI向けロジックデバイスは、限られた大手のデバイス製造企業が極紫外線（EUV）リソグラフィ露光機などの超高額の装置を揃えた製造拠点を形成するなど、多額の研究開発とインフラへの投資をしなければ製造不可能となっている。また現在、半導体の需要が大きくなることで問題になっているのは、Time to Market (TTM) の遅延である。製造に関する研究開発に投資はしているが、歩留まりの問題から製品が市場に出るまでの速度が遅くなっている。さらにこの傾向は設計開発でも同様であり、先端テクノロジーノードほど必要となるリソースが指数関数的に増加し、TTMが遅延すると報告されている。

つまり低消費電力のロジックデバイスはAIを含む様々な「需要」のみ指数関数的に増加しているに関わらず、設計/製造（ものづくり）能力が技術開発、キャパシティ、コスト

面で追いついていないのが世界的な現状である。

これを背景にアメリカCHIPS法（CHIPS for America Act）を代表例とし、世界的な半導体投資、政府資金補助/支援が非常に活発化している。我が国の半導体戦略も見直されており、熊本や北海道での製造拠点への戦略的政府資金投資や各民間企業の半導体投資を中心に、半導体に関する報道が連日なされている。

2 チップレット

先端半導体においてひとつの指標とされてきた、微細化則（ムーアの法則）による高集積化、低消費電力化を達成するための開発投資コスト、設計最適化が問題となっている。これらの現状を打破する設計思想、集積技術が「チップレット」である。必要な機能を分割し適切な技術ノードで高歩留まりにて製造し、半導体後工程の組み立て技術によって接続・パッケージをすることで高集積化、TTMの短縮、配線最適化による低消費電力化を達成可能とする技術である（図1）。

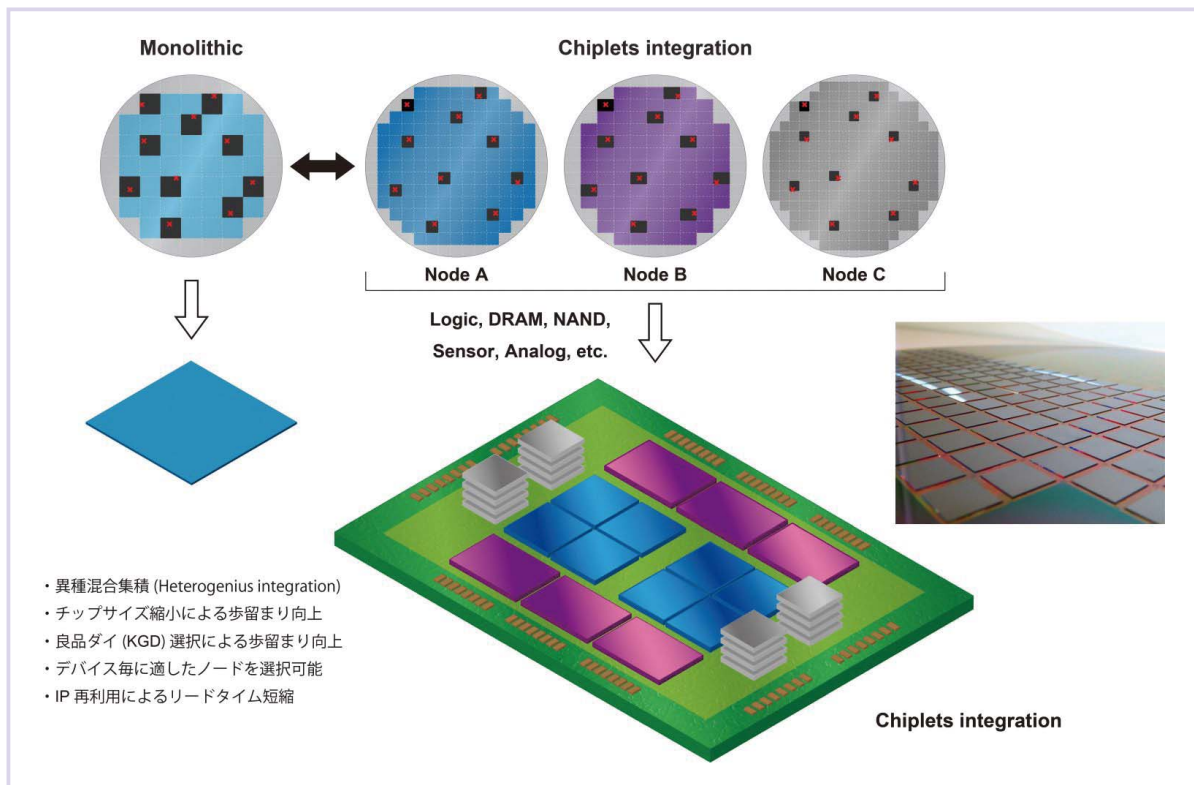


図 1 チップレットの概念図

横浜国立大学 機械・材料・海洋系学科 機械工学教育プログラム 大学院工学研究院 システムの創生部門 機能表面創成研究室 (井上研究室) 「研究内容」より転載 <<https://inoue.ynu.ac.jp/research/>>, (accessed 2025.5.26) .

チップレットの基本的なコンセプトは、ダイ（チップ）の一面にすべての要素を作り込む（＝モノリシック）のではなく、さまざまコンポーネントを必要なテクノロジーノードに沿って作り、それを後に組み立てて基板上の配線でつなげていくものである。モノリシックのみで微細化による低消費電力化を進めるためには、多くの工程を繰り返さなければならず、さらにダイの面積が大きくなればなるほど不良が発生してしまう。一方でチップレットであれば良品選別可能というだけでなく、配線の再設計や最適化も可能であり、エネルギー効率を非常に高くすることが可能となる。さらに小さなチップレットで作成し「つなぐ」ことによって、生産性と歩留まりが向上すると考えられている。またチップレットは短 TAT（Turn-Around-Time）化とも呼ばれる、生産工程の最適化とも相性が良く、TTM を加速させることが可能である。さらには一度設計したチップレットは他のデバイスに再利用することも可能であり、知的財産再利用によるコスト削減、リードタイムの短縮にもつながる。

このようにチップレットそのものは技術的に特別な革新が

あるわけではないが、この設計 / 製造のコンセプトなくして、より経済的に低消費電力の半導体を製造し、数多の需要を満たすことは不可能となりつつある。

3 「前工程と後工程の融合」の鍵、ハイブリッドボンディング

先端のチップレット応用に向けてウエハの加工の際に、チップ単位に切り出して製品として仕上げる後工程と、複雑な回路パターンを形成する前工程を同じ製造ラインにまたがって流す、「前工程と後工程の融合」技術の開発が推し進められている。

現在のチップレットのチップ集積は、後工程パッケージ基板上で行われている。しかしより高度なチップレットデバイスを作成するためには前工程 FEOL（フロントエンド）の微細配線技術が適用可能な 300 mm の Si ウエハ上で集積されることが必要となる。しかしそこには多くの課題が存在する。例えば、UCIe 規格 (Universal Chiplet Interconnect Express) に関する論文によると、今後のチップレット開発の

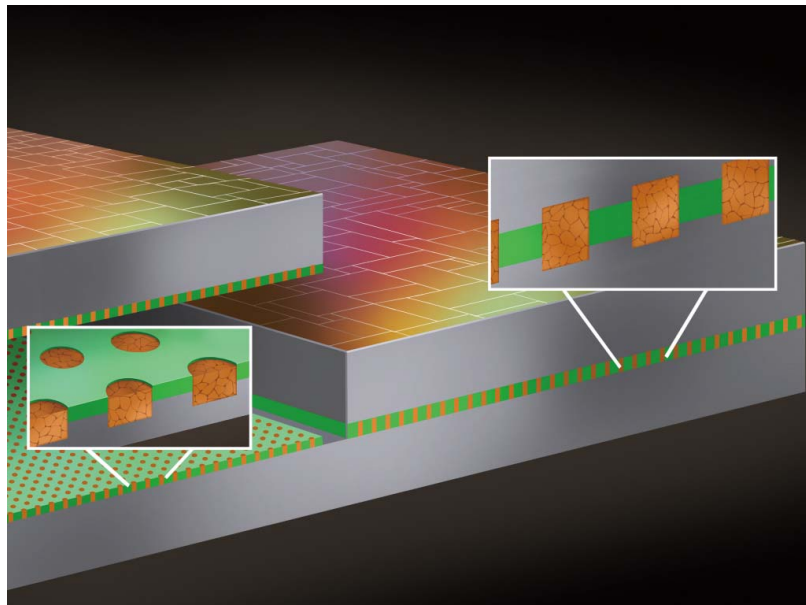


図2 ハイブリッド接合

横浜国立大学 機械・材料・海洋系学科 機械工学教育プログラム 大学院工学研究院 システムの創生部門 機能表面創成研究室 (井上研究室) 「研究内容」より転載
<<https://inoue.ynu.ac.jp/research/>>, (accessed 2025.5.26) .

ためには垂直方向配線のピッチ短縮が必要となる。現在垂直方向の配線はソルダー（はんだ）バンプで行われているが、FEOL プロセスとは親和性がない。さらにバンプ熱圧着接合は熱と圧着を使用するという構造上、接合ピッチ縮小の限界を迎えており、先端チップレットの領域では不十分である。

そこで、開発が進んでいるのが「ハイブリッド接合（ボンディング）」である（図2）。この技術をチップレットに応用することで、垂直方向配線ピッチの縮小とウエハへの適応が達成でき、まさに「前工程と後工程を繋ぐ」重要技術となる。

ハイブリッド接合は3次元集積において必要不可欠な技術であり、すでにWafer-to-Wafer (W2W) 接合では裏面照射型CMOSイメージセンサーや3D NANDメモリを中心に実用化されている。ウエハ2枚を貼り合わせるW2W技術は、上下のダイのサイズを同じにしなければならず設計上の制約を伴う。また、歩留まりの観点からも上か下のウエハのどちらかに1つでも不良品が含まれていると上下で不良になってしまい、損失が非常に大きくなる。このことから、現在は、非常に歩留まりの高いイメージセンサーやメモリ同士の組み合わせのみでW2W接合が使われている。

しかし量産を目指すチップレットにおいては、上下で異種チップのサイズを同じにすることは難しく、チップ

ごとに切り分けて良品を選別し、良品だけを接合して生産性を上げていくことが必要となる。つまりダイをウエハ上に接続するDie-to-Wafer (D2W) レベルでのハイブリッド接合技術が求められている。

ただし、ウエハレベルの接合と比べるとダイレベルで接合することは多くの技術的な困難が伴う。接合装置を例にあげると、ダイレベルの接合において、今までは後工程の技術であったためチップ表面の清浄度はウエハレベルほど要求されていなかった。しかしハイブリッド接合ではFEOLと同等の非常に高い清浄度が求められており、現在に対応している装置が研究開発段階にある。またダイを個片化するダイシングもウエハレベルでは大きな問題にはならないが、ダイレベルでは今までにない清浄度が求められている。

さらに集積手法にも大きな課題がある。例えばチップをウエハの上に1つずつ載せる技術には複数の乗り越えるべき課題が存在する。ダイの接合に使用されるボンダーはチップを動かす際に表面を掴んで（触って）搬送するのが標準である。しかしチップの表面を触りながら、ピックして反転させ移動する工程では、接合表面にパーティクルやごみが付着し活性化面も失われることから、ハイブリッド接合対応には様々な工夫が必要である。また、チップごとに切り分けた後は、ウエハの上ではなく、ダイシングフレーム

に固定されるため FEOL 向けのウエハ装置で一括での処理はできない。それらに加えて大きな課題がスルーブットである。ウエハのように一括で接合はできないため、ダイ一つにかかる時間は数秒に抑えなければならない。そのほかにも CMP (Chemical Mechanical Polishing) の後の数多くのプロセス、低温化といった課題が挙げられ、これらすべてを解決し量産に適応可能な集積技術や装置は現状まだなく開発段階である。

4 エコシステム：横浜国立大学での取り組み

現在、チップレットや半導体の後工程において、技術的な課題のみならず、ビジネス面でも多くの困難が顕在化している。こうした課題に対する解決策として重要となるのは、単独では限界があるという点である。すなわち、一個人や一企業のみで成し得ることには限界があり、「一」では何も成し遂げられないという現実がある。このような状況において、半導体産業における課題解決の糸口として、「連携」

が極めて重要な要素となっている。この連携は半導体に限らず多くの分野に共通するものであるが、とりわけ高度化・複雑化が進む半導体開発においては不可欠な要素となっている。

チップ製造工程についても先述のとおり、一つのチップのみでは機能を満たせず、複数のチップを連携させて一つのシステムを構成する必要がある。このような技術的要請から、チップレットという手法が注目されている。また、チップ製造においても同様に、複数企業との連携が求められ、研究開発の現場でも、装置メーカーや材料メーカーなど日本が強みを持つ分野との協働が重要である。

たとえ世界的な半導体メーカーであっても、単独での開発は困難と言えるほど、半導体開発の現場はあまりに高度化・細分化している。そのため、競合関係にある企業同士であっても、協調関係を構築する必要性が高まっており、研究開発においては「オープンイノベーション」(図3)、すなわち開かれた形での技術開発が強く求められている。

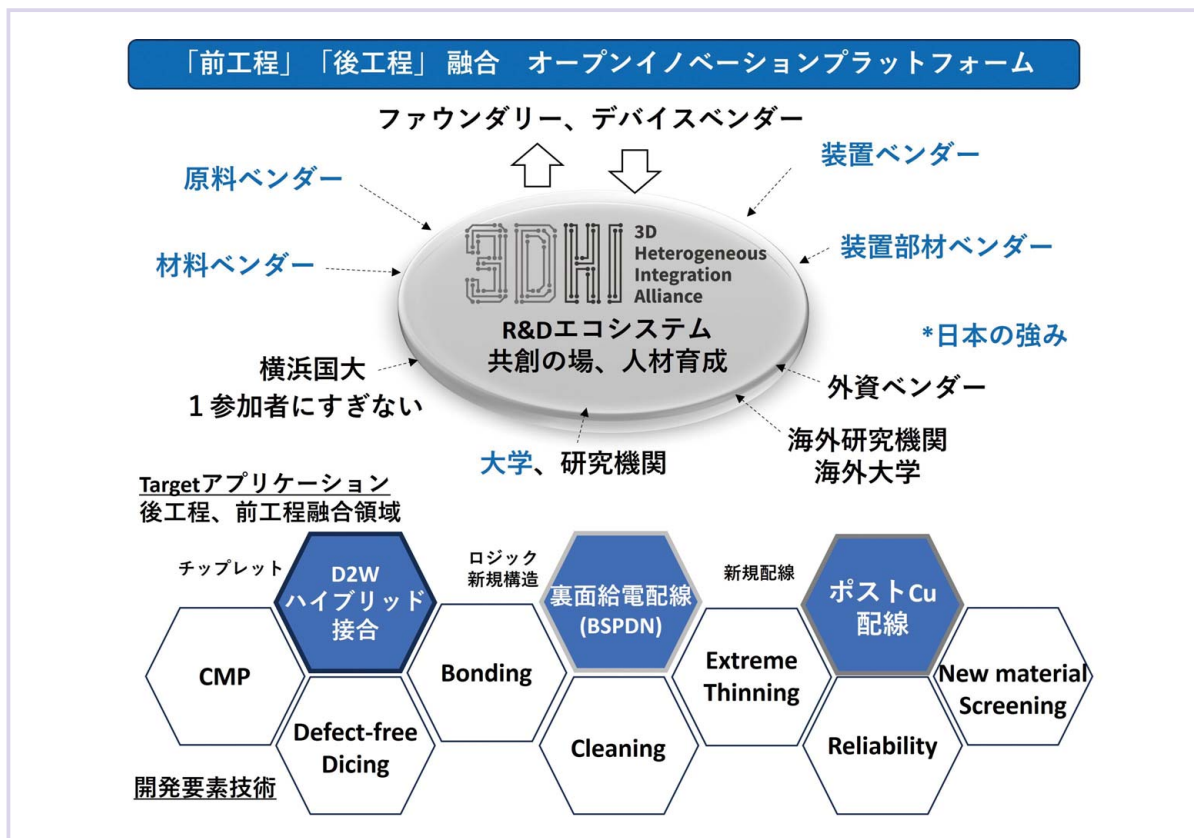


図3 オープンイノベーションによるチップレット革命への挑戦
 横浜国立大学 機械・材料・海洋系学科 機械工学教育プログラム
 大学院工学研究院 (井上研究室) 「設立趣旨、活動内容」より転載
 <<https://inoue.ynu.ac.jp/3dhi/>>, (accessed 2025.5.26) .

さらに、半導体産業において深刻な課題となっているのが人材不足である。この問題もまた、大学のみで対応できるものではなく、産学官民の連携による包括的な人材育成体制の構築が必要不可欠である。特に、将来の半導体分野を牽引するトップ人材の育成が急務となっている。

こうした課題解決に向けて、横浜国立大学では2024年4月に「半導体・量子集積エレクトロニクス研究センター」を発足させた。同センターは、「繋げる」ことと「オープンイノベーション」の実践を標榜しており、文理融合型の研究体制を特徴としている。特筆すべきは、センターのリーダーを経営学部の真鍋誠司教授が務めている点であり、文系の研究者が半導体研究の先頭に立つという構図は、国内の大学において極めて異例である。理工系の研究者らは真鍋教授の方針のもと、センターの理念を実現すべく開発に取り組んでいる。

また、筆者自身も「繋げる」という理念を重視し、一企業対大学という従来型の共同研究ではなく、複数企業と横浜国立大学によるエコシステム型のオープンイノベーション体制を構築し、研究活動を展開している。

筆者は、半導体コンソーシアムの代表も務めており、同コンソーシアムを通じて横浜国立大学発の研究成果を広く公開する活動を行っている。さらに、公開されたデータを世界中の半導体企業と共有し、半導体の高性能化・高効率化、ならびに製造技術の高度化に貢献することを目的としている。現在、90社を超える半導体関連企業が本コンソーシアムに参加しており、来年度には100社に達する見込みである。すでに本コンソーシアムは、日本最大規模の半導体後工程に関する連携体制へと成長しつつある。

このような技術連携と並んで、極めて重要な課題が人材育成である。現在、今後10年間で日本全体として43,000人の半導体人材が必要とされており、地域別では九州で約12,000人、北海道で約6,000人の需要が見込まれている。そして、最も人材が集積する地域は関東であり、ここで12,000人規模の人材育成が必要とされている。既に九州では熊本大学に半導体学部が新設され、高専を中心とした育成体制も整いつつある。北海道も同様である。一方、関東地域では半導体人材育成に関する具体的な取り組みはほとんど進んでおらず、本学がその先頭に

立って取り組んでいる状況である。

ただし、単に他地域の事例を模倣すればよいわけではない。九州・北海道では生産工程を担う人材、すなわち製造現場向けの育成が主眼であるのに対し、関東地域に求められるのは研究開発を担う高度人材である。多くの企業において生産拠点は地方に配置される一方で、研究開発拠点は関東に集中する傾向がある。そのため、本学では研究開発分野に特化した高度人材の育成を主要な戦略として掲げており、今後も企業のリスキリングを含む包括的な教育プログラムを提供することで、関東地域における中核的な育成機関となるべく取り組みを進めている。

5 むすびに

本当に重要なのは「人」である。とりわけ、若年層を半導体分野に導くことが不可欠である。企業を含めたあらゆるレイヤーとの連携を通じて、本学の研究センターではエコシステムおよびオープンイノベーションの理念のもと、次世代の研究人材の育成を推進していく所存である。

著者略歴

2013年3月	関西大学にて博士号取得
2011-2021年まで	ベルギーimecにて3Dパッケージングの研究に従事
2021年より	横浜国立大学、准教授
2024年4月より	同大学、半導体量子集積エレクトロニクス研究センター副センター長に着任
2025年3月より	LSTC3Dパッケージング部門の副部門長を務める 〈主な受賞歴〉
2022年	国際賞IEEE Electronics Packaging Society "Outstanding Young Engineer Award"
2024年	先端技術大賞 社会人部門最優秀賞 経済産業大臣賞
2024年	第30回 半導体・オブ・ザ・イヤー2024 半導体製造装置部門 優秀賞
2024年	文部科学大臣表彰 科学技術分野 若手科学者賞