

日本でのチップレット集積 技術研究について

一介の技術研究者に過ぎぬ自分から見ても、世界は今、2つの意味で大きな転換点に立っているように見える。ひとつは人類史で初めて機械の知性が未来に大きな影響を及ぼすようになっていることと、もうひとつは20世紀後半にこれを生み出すことになった戦後のグローバルな協調、自由経済、民主主義の退行である（歴史の終わりの終わり）。このような状況から、技術者として、日本人として、何が出来るかを考える事も多くなった。

19世紀のドイツ技術哲学者エルンスト・カッパは「ヒトが無意識に作り出すものはヒトの身体の投射となる」と言い、これを受けて養老孟司は「ヒトの作り出すものは、ヒトの脳の投射である」としている¹⁾。昨今急速な技術的進化を遂げるAI（Artificial Intelligence）は、両者の言う共通部分、つまりヒトの脳自体の投射にあたる。論理や数学がアイデア（知覚から想起される理想的・非物体的な永遠の实在、普遍の真理）として存在するのかの回答は科学の範疇にないが、少なくとも人間はそこに超越的な普遍性と価値を見出し、これを外部に投射することを積極的に行ってきた。

現在の文明社会を支える殆どのコンピュータ（論理の概念を物質世界に投射したもの）は、数理論理学と密接な関係にある計算機科学におけるチューリングマシンという計算モデルをベースとしている。チューリングマシンの工学的な実現には、論理・計算や記憶の機能の、様々な制約がある物理世界でのインプリメントが必要になる。これまでに、機械的な方式、電気機械的な方式、電子式、そして20世紀の量子物理学の発展に伴い、現在最も広く用いられている半導体素子であるトランジスタが、これらを実現する素子として発明された。当初、トランジスタは個別に製造され、トランジスタ間は金属ワイヤで結線されていたが、高度な情報処理や論理演算機能を実現するためにはトランジスタを始めとした素子の大量集積と、これに対応した素子間の結線技術が必要である。これらはジャック・キルビーとロバート・ノイスらの発明による半導体集積回路（IC）として実現され、半導体素子の微細化によるご利益としてのデナード則、開発ロードマップとしてのムーアの法則により、シリコンチップ上に集積される素子の数はこの数十年にわたって指数関数的な増大を継続し、その集積規模の拡大は人間の情報に関わる機能を代替する機械として人類社会に大きな影響を与えてきた。

半導体集積回路技術における素子の微細化は大きな進化の原動力であったが、ここにきて従来から指摘されてきた課題が顕在化しつつある。半導体素子の微細化には物質世界であることによる制約が伴う。つまり、半導体としての電気的特性の発現のためには原子の周期構造（結晶構造）が必要になるが、微細化によりこれを構成する原子は次第に少なくなりつつある。一方で、チップのサイズを拡大すれば集積する素子の数は拡大できるものの、素子製造に必要な単結晶シリコンウェハのサイズには製造・経済的限界がある。以上は単一チップ上への素子集積規模拡大に伴う課題である。また、別の側面からは、以下のような課題がある。半導体集積回路技術では基本的に、フォトリソグラフィ技術を用いて、大量の素子を平面（半導体ウェハ）上に一括でビルドアップ形成する（3D プリンターのように）という特質上、異なる垂直方向の立体構造を形成するのが難しい。一方でチューリングマシン（より具体的にはノイマン型コンピュータ）には演算・制御といった論理演算や、記憶、入出力といった、異なる機能とそれに対する最適構造が要求される。これらを同一の半導体ウェハ上に一括で形成する事は、特に微細化が進むと製造上困難を極める。この場合、異なるウェハ、製造プロセスで製造したチップ（チップレット）を組み合わせることが最も有望な解決策となると考えられる。ところが、従来の技術でチップを組み合わせて接続しようとすると、チップ間の配線接続密度（密接な情報伝達的能力）は、一つのチップ上に集積した場合に比べて大幅に低下してしまう。以上のような課題を解決することを目的として、様々な種類のチップレット間を、タイトかつフレキシブルに集積する技術が期待を集め始めている。特に AI アプリケーションでは以下のようなモチベーションが駆動力になり、チップレット集積技術の開発が急速に進んでいる。1 つ目は前述の素子集積規模拡大（例えば AI 処理回路の大規模化）、2 つ目は異なる機能を持つ回路の集積（例えば AI 処理のためのロジック回路と入出力のためのアナログ回路）、3 つ目はチューリングマシン（もしくはノイマン型コンピュータ）の基本要素である論理演算ユニットと記憶ユニットの間の接続密度の向上である。

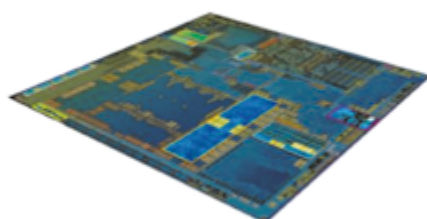
これらの技術的課題に対し、日本では 1980 年代から特に 2000 年代に、TSV（Through Silicon Via）を用いた 3D 集積技術やインターポーザを用いた 2.xD 集積技術、光集積技術が国家プロジェクトなどでも盛んに研究され、これが今のチップレット集積における

提言

ハードウェア技術のベースになっている。チップレット技術は、これとチップレット間の I/F（インターフェイス）の標準化により、集積回路製品を開発する際にすべてを一から設計／製造することなく、既存のものを含めた各種回路を形成したチップレットを自由に組み合わせ「レゴ・ブロック」的に組み立てることで、設計製造の生産性を向上させるスキームがセットになったものである。

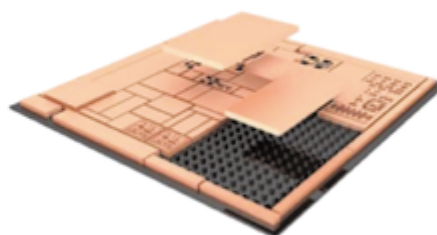
我が国は世界的視点で見ると極東の小国ではあるものの、世界から見ると非常にユニークな文化を持ち、多くの好影響を世界に与えてきた。これは島国ながら多くの人類共通の要素を、垂直統合の形でその小さな世界に内在してきたことに寄る。チップレット集積技術（もしくは先端半導体パッケージ技術）の多くの要素も、上記のように日本の当時の環境から生まれた。一方で、2010年代以降になると、AI という巨大なアプリケーション台頭のタイミングでは、日本は半導体の先端分野では既に存在感を失っていた。AI、量子、光といった技術分野でもよく見られる、種は蒔いたけれど、刈り取りのタイミングではいなかったパターンである。

Today – Monolithic



ひとつのシリコンチップ上に
集積回路を形成した構造

Tomorrow – Modular



複数のチップレットを集積した構造

概念図 従来の集積回路チップ（左）とチップレット技術を用いた集積回路チップ（右）

「DARPA Heterogeneous and Integration at DARPA : Pathfinding and Progress in Assembly Approaches」を基に加筆

<[https://ectc.net/files/68/Demmin Darpa.pdf](https://ectc.net/files/68/Demmin%20Darpa.pdf)>, (accessed 2025.5.20).

日本でのチップレット集積技術研究について

しかしながら、日本にはまだチャンスがあると考えたい。その一つの希望？は、マイナス要素と考えがちな、多くの自然災害や少子高齢化と言った日本が直面する課題の多さである。課題は発明の母であることは間違いない。これらを解決するアイデアを世界に提示するのも我々の役目である。特に本分野の技術は応用システムと密接であり、目前に迫る日本の課題に対応した応用システムに寄り添った技術の研究開発は、普遍性を持って人類の未来に貢献するものと信じたい。

文 献

1) 養老孟司: “唯脳論” (1998), (ちくま学芸文庫) .

略 歴

1994年 東京工業大学 卒業
1996年 東京工業大学 大学院 修士課程終了
1996年～2002年 NEC (日本電気)
2002年～2010年 NECエレクトロニクス
2010年～2012年 ルネサスエレクトロニクス
2012年～2021年 東芝
2021年～2024年 東京工業大学 科学技術創成研究院 未来産業技術研究所 特任教授
2024年10月 東京科学大学 (東京医科歯科大学との合併に伴い改称)
総合研究院 未来産業技術研究所 博士 (工学・東京工業大学)
特任教授, 現職

主な研究領域

チップレット集積技術, 三次元集積技術, 光集積技術

